

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP05/006550

International filing date: 29 March 2005 (29.03.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2004-104136
Filing date: 31 March 2004 (31.03.2004)

Date of receipt at the International Bureau: 28 April 2005 (28.04.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 4 年 3 月 3 1 日

出 願 番 号
Application Number: 特 願 2 0 0 4 - 1 0 4 1 3 6

パリ条約による外国への出願
に用いる優先権の主張の基礎
となる出願の国コードと出願
番号
J P 2 0 0 4 - 1 0 4 1 3 6
The country code and number
of your priority application,
to be used for filing abroad
under the Paris Convention, is

出 願 人
Applicant(s): 株式会社リコー

2 0 0 5 年 4 月 1 3 日

特許庁長官
Commissioner,
Japan Patent Office

小 川



【書類名】 特許願
【整理番号】 193175
【提出日】 平成16年 3月31日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 27/04
H01L 27/06

【発明者】
【住所又は居所】 東京都大田区中馬込1丁目3番6号 株式会社リコー内
【氏名】 上里 英樹

【発明者】
【住所又は居所】 東京都大田区中馬込1丁目3番6号 株式会社リコー内
【氏名】 吉井 宏治

【発明者】
【住所又は居所】 東京都大田区中馬込1丁目3番6号 株式会社リコー内
【氏名】 奥田 継範

【特許出願人】
【識別番号】 000006747
【住所又は居所】 東京都大田区中馬込1丁目3番6号
【氏名又は名称】 株式会社リコー

【代理人】
【識別番号】 100086405
【弁理士】
【氏名又は名称】 河宮 治
【電話番号】 06-6949-1261
【ファクシミリ番号】 06-6949-0361

【選任した代理人】
【識別番号】 100101454
【弁理士】
【氏名又は名称】 山田 卓二
【電話番号】 06-6949-1261
【ファクシミリ番号】 06-6949-0361

【手数料の表示】
【予納台帳番号】 163028
【納付金額】 21,000円

【提出物件の目録】
【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1

【書類名】 特許請求の範囲

【請求項 1】

パッド部、内部回路領域、及び保護抵抗が基板に設けられ、

該パッド部と該保護抵抗の第 1 電極とが配線で接続され、かつ該内部回路領域と該保護抵抗の第 2 電極とが配線で接続され、

該保護抵抗が、該内部回路領域を静電気放電から保護する半導体装置であって、

該保護抵抗と該内部回路領域との間に、該パッド部が配置されたことを特徴とする半導体装置。

【請求項 2】

上記パッド部から、上記第 1 電極及び上記第 2 電極までの距離が、略等しいことを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

パッド部、内部回路領域、及び保護抵抗が基板に設けられ、

該パッド部と該保護抵抗の第 1 電極とが配線で接続され、かつ該内部回路領域と該保護抵抗の第 2 電極とが配線で接続され、

該保護抵抗が、該内部回路領域を静電気放電から保護する半導体装置であって、

該第 1 電極と該内部回路領域との距離が、該第 2 電極と該内部回路領域との距離より大きいことを特徴とする半導体装置。

【請求項 4】

上記基板に、上記パッド部、上記内部回路領域、及び上記保護抵抗を囲む、略矩形枠状のガードリング領域が設けられ、

略矩形形状の上記第 1 電極の 2 辺から、該第 1 電極に隣接する該ガードリング領域までの距離が略等しいことを特徴とする請求項 3 に記載の半導体装置。

【請求項 5】

上記保護抵抗が、上記基板に設けられたウエル領域からなり、上記第 1 電極の 2 辺から、該第 1 電極に隣接する該ウエル領域の周辺部までの距離が略等しいことを特徴とする請求項 4 に記載の半導体装置。

【請求項 6】

更に、上記ウエル領域の 2 つの周辺部から、該ウエル領域に隣接する上記ガードリング領域までの距離が、略等しいことを特徴とする請求項 5 に記載の半導体装置。

【請求項 7】

上記パッド部が、絶縁層を介して上記保護抵抗の上方に設けられたことを特徴とする請求項 3 に記載の半導体装置。

【請求項 8】

上記保護抵抗が、上記基板に形成された不純物拡散層よりなることを特徴とする請求項 1 ～ 7 のいずれかに記載の半導体装置。

【請求項 9】

上記保護抵抗と、上記内部回路領域に含まれた保護トランジスタとが、保護回路を構成することを特徴とする請求項 1 ～ 7 のいずれかに記載の半導体装置。

【書類名】 明細書

【発明の名称】 半導体装置

【技術分野】

【0001】

本発明は、半導体装置に関し、特に、静電破壊を防止するための保護回路を有する半導体装置に関する。

【背景技術】

【0002】

半導体装置では、静電気が入力することによる半導体装置の破壊を防止するために、半導体装置の入力パッドの内部回路側に保護回路が設けられている（例えば、特許文献1）。

【0003】

図8は、全体が1000で表される、保護回路を有する半導体装置の回路図である。半導体装置1000では、入力部（IN）と半導体素子との間に、点線で示すような保護回路が設けられている。保護回路は、保護抵抗と保護トランジスタ（ダイオードとして機能する）で構成される。

【0004】

保護回路では、入力部（IN）から静電気（電荷）が入力されると、保護抵抗を通ることにより電圧を低減し、内部回路の半導体素子が保護される。入力部（IN）から入力された電圧が高く、保護抵抗で十分に低減できない場合には、保護トランジスタがON状態となってVssに電荷を逃がし、内部回路の半導体素子を保護する。なお、ここでは、保護トランジスタと、これより半導体素子側にある素子を含めて内部回路と呼ぶ。

【0005】

図9は、半導体装置1000の部分断面図である。入力パッドはメタル配線（ME1）と一体として形成されている。保護抵抗は、Nウェルから形成される。Nウェル中には、N⁺領域からなる電極1（第1電極）と電極2（第2電極）が設けられている。電極1は、メタル配線層（ME1）を介して入力パッドに接続され、一方、電極2は、メタル配線層（ME2）を介して保護トランジスタのドレインに接続されている。保護トランジスタのゲートとソースは短絡され、負側の電源（Vss）に接続されている。内部回路の半導体素子は、メタル配線層（ME2）と接続されている。

【0006】

半導体装置に電源を供給するために、シリコン基板に独立して形成されたP⁺領域と負側の電源（Vss）とが接続され、また、N⁺領域と正側の電源（Vdd）とが接続されている。

【0007】

入力パッドの開口部以外はシリコン酸化膜で覆われ、絶縁されている。入力パッドのメタル配線層（ME2）とシリコン基板との間もシリコン酸化膜で絶縁されている。

【0008】

上述のように、入力パッドに高電圧の静電気が印加されると、通常破線で示すように、入力パッドからメタル配線層（ME1）、保護抵抗、メタル配線層（ME2）と流れた電流が、保護トランジスタのドレインからソースへと流れ、最終的に電源（Vss）に流れる。この結果、メタル配線（ME2）に接続されている内部回路の半導体素子にはダメージを与えない。

【0009】

なお、これ以外にも、静電気の流れるルートとしては、保護抵抗の電極1からNウェル領域を通して正側の電源（Vdd）に流れる場合や、負側の電源（Vss）に流れる場合もある。

【特許文献1】 特開平9-17954号公報

【発明の開示】

【発明が解決しようとする課題】

【0010】

しかしながら、図10の部分レイアウト図に示すように、半導体装置1000では、保護抵抗2が入力パッド6と内部回路領域10との間に配置されていたが、保護抵抗の第1電極3と入力パッド6とは略同電位であり（図9参照）、しかも、第1電極3はシリコン基板1中に形成されているため、第1電極3からシリコン基板1に形成された他の回路、特に内部回路領域10に設けられた半導体素子への放電（リーク）が発生し、半導体素子の破壊を招いていた。このため、放電を防止するためには、内部回路領域10と第1電極3との距離（L2）を大きくする必要があり、半導体装置の高集積化や小型化が困難であった。

【0011】

また、図11の部分レイアウト図に示すように、入力パッド6を、半導体装置1100の周辺部、特に隅部近傍に配置する場合には、内部回路領域10と第1電極3との距離（L3）を大きくする必要があり、半導体装置1100の小型化が困難であった。

【0012】

そこで、本発明は、保護回路を有する半導体装置において、保護抵抗の電極と他の半導体素子との間の放電を防止するとともに、小型化、高集積化を可能とした半導体装置の提供を目的とする。

【課題を解決するための手段】

【0013】

本発明は、パッド部、内部回路領域、及び保護抵抗が基板に設けられ、パッド部と保護抵抗の第1電極とが配線で接続され、かつ内部回路領域と保護抵抗の第2電極とが配線で接続され、保護抵抗が、内部回路領域を静電気放電から保護する半導体装置であって、保護抵抗と内部回路領域との間に、パッド部が配置されたことを特徴とする半導体装置である。

かかる半導体装置では、第1電極と内部回路領域との間の距離を十分に確保して、両者の間での放電を防止できる。更に、パッド部は内部回路領域の近傍に形成するため、半導体装置の高集積化、小型化が可能となる。

【0014】

パッド部から、第1電極及び第2電極までの距離は、略等しいことが好ましい。

【0015】

また、本発明は、パッド部、内部回路領域、及び保護抵抗が基板に設けられ、パッド部と保護抵抗の第1電極とが配線で接続され、かつ内部回路領域と保護抵抗の第2電極とが配線で接続され、保護抵抗が、内部回路領域を静電気放電から保護する半導体装置であって、第1電極と内部回路領域との距離が、第2電極と内部回路領域との距離より大きいことを特徴とする半導体装置でもある。

【0016】

上記基板に、パッド部、内部回路領域、及び保護抵抗を囲む、略矩形枠状のガードリング領域が設けられ、略矩形形状の第1電極の2辺から、第1電極に隣接するガードリング領域までの距離が略等しいことが好ましい。

これにより、第1電極からガードリング領域への放電条件が、第1電極の2つの辺で略均一となり、放電の偏りが無くなり放電耐圧を高くできる。

【0017】

上記保護抵抗が基板に設けられたウエル領域からなり、上記第1電極の2辺から第1電極に隣接するウエル領域の周辺部までの距離が略等しいことが好ましい。

これにより、第1電極からウエル領域の周辺部への放電条件が第1電極の2つの辺で略均一となり、放電の偏りが無くなり放電耐圧を高くできる。

【0018】

更に、上記ウエル領域の2つの周辺部から、ウエル領域に隣接する上記ガードリング領域までの距離が、略等しいことが好ましい。

【0019】

パッド部は、絶縁層を介して保護抵抗の上方に設けられたことが好ましい。かかる構造により、更に半導体装置の集積化、小型化が可能となる。

【００２０】

好適には、保護抵抗は、基板に形成された不純物拡散層よりなる。

【００２１】

好適には、保護抵抗と、上記内部回路領域に含まれた保護トランジスタとは、保護回路を構成する。

【発明の効果】

【００２２】

本発明にかかる半導体装置では、保護回路を有する半導体装置の高集積化、小型化が可能となる。

【発明を実施するための最良の形態】

【００２３】

実施の形態１．

図１は、全体が１００で表される、本発明の実施の形態１にかかる半導体装置の部分レイアウト図である。

半導体装置１００は、シリコン基板１上に規定された、内部回路領域１０と、内部回路領域１０の周りに形成された周辺素子領域２０を含む。周辺素子領域２０は、ガードリング領域３０により囲まれている。チップの周辺に配置されたガードリング領域３０は、拡散層より形成され、基板電位をとるために後述のメタル配線層と接続される。また、チップをダイシングする際には、チップの損傷を防止する役割も果たす。

【００２４】

周辺素子領域２０には、ｐ型のシリコン基板１に形成されたｎウェルからなる保護抵抗（ＥＳＤ（Electrostatic Discharge）保護抵抗）２が設けられている。保護抵抗２には、 n^+ 領域からなる第１電極３および第２電極４が設けられている。

【００２５】

第１電極３は、メタル配線層（ＭＥ１）５を介して入力パッド６に接続されている。一方、第２電極４は、メタル配線層（ＭＥ２）７を介して内部回路領域１０に形成されている保護トランジスタや半導体素子（図示せず）に接続されている。かかる回路構成は、図８に示す半導体装置１０００と同じである。なお、メタル配線層５、７及び入力パッド６は、例えばアルミニウムやポリシリコンからなる。

【００２６】

図９に示す半導体素子１０００と同様に、シリコン基板１上にはシリコン酸化膜（図示せず）が形成され、その上にメタル配線層５、７、及び入力パッド６が形成されている。ここで、シリコン酸化膜は、薄くても非常に高い絶縁性能を有するため、入力パッドと内部回路領域１０の距離を近づけても、高い静電耐圧を維持することができる。従って、入力パッド６と内部回路領域１０との距離（水平距離：Ｌ１）は、第１電極３と内部回路領域１０との距離（例えば、図１０のＬ２）より短くすることができる。

【００２７】

一方、図１に示すように、半導体装置１００では、内部回路領域１０と保護抵抗２との間に入力パッド６が配置されている。かかる配置とすることにより、保護抵抗２の第１電極３と内部回路領域１０との間の距離を十分に大きく維持することができる。

【００２８】

即ち、半導体装置１００では、第１電極３と内部回路領域１０との間の距離を大きく保ちつつ、内部回路領域１０と、それに隣接する入力パッド６との距離Ｌ１を、従来の半導体装置１０００における、内部回路領域１０と、それに隣接する保護抵抗２の第１電極３との距離Ｌ２に比較して、十分に小さくすることが可能となる。

【００２９】

従って、本実施の形態１にかかるレイアウトを採用することにより、同一の大きさの半導体装置では、内部回路領域１０を大きくすることができ、高集積化が可能となる。また

、内部回路領域 10 の面積が同一であれば、半導体装置の小型化が可能となり、製造コストの低減が可能となる。

【0030】

実施の形態 2.

図 2 は、全体が 200 で表される、本発明の実施の形態 2 にかかる半導体装置の部分レイアウト図である。本実施の形態 2 は、入力パッド 6 が半導体装置 200 の隅部近傍に配置されている場合であり、図 2 中、図 1 と同一符号は、同一又は相当箇所を示す。

【0031】

図 2 に示すように、半導体装置 200 では、保護抵抗 2 が半導体装置 200 の隅部近傍に配置されている。保護抵抗 2 の、第 1 電極 3 と第 2 電極 4 とが、周辺素子領域 20 を囲むガードリング領域 30 の一辺から略等距離に配置されている（保護抵抗 2 の長手方向が、ガードリング領域 30 の一辺と略平行となっている）。

【0032】

また、入力パッド 6 は、保護抵抗 2 を挟んでガードリング領域 30 と反対側に配置されている。入力パッド 6 の一辺と、内部回路領域 10 の端部とは略平行となり、その距離は、上述の半導体装置 100 と同様の L1 となっている。

【0033】

保護抵抗 2 の第 1 電極 3 と入力パッド 6 とはメタル配線層 5 で接続されている。メタル配線層 5 は、保護抵抗 2 の長手方向と垂直方向に、ガードリング領域 30 に沿って配置されている。一方、保護抵抗 2 の第 2 電極 4 と内部回路領域 10 とはメタル配線層 7 で接続されている。メタル配線層 7 は保護抵抗 2 の長手方向に、ガードリング領域 30 に沿って配置されている。

【0034】

図 2 に示すように、矩形形状の第 1 電極 3 は、その 2 つの辺が、垂直に折れ曲って延びるガードリング領域 30 からの距離がそれぞれ a、b となるように配置されるが、距離 a と距離 b とが略等しくなるように配置されることが好ましい。距離 a、b を等しくすることにより、ガードリング領域 30 から、ガードリング領域 30 に対向する第 1 電極 3 までの距離が一定となる。これにより、第 1 電極 3 からガードリング領域 30 への放電条件が、第 1 電極 3 の 2 つの辺で略均一となる。この結果、放電の偏りが無くなり放電耐圧を高くできる。

【0035】

特に、半導体装置 200 では、ガードリング領域 30 に対向する第 1 電極 3 の辺の長さが、上述の半導体装置 100 より長くなるため、第 1 電極 3 とガードリング領域 30 との間の距離（a、b）を、半導体装置 100 より短くできる。

【0036】

このように、本実施の形態 2 にかかるレイアウトを採用することによっても、半導体装置 200 の高集積化、小型化が可能となる。

特に、周辺素子領域 20 を挟んで対向する内部回路領域 10 とガードリング領域 30 との間の距離は、上述の半導体装置 100 よりも短くできる。

【0037】

なお、ここでは、保護抵抗 2 の長手方向が、ガードリング領域 30 の一辺と略平行となっている場合について説明したが、第 1 電極 3 と内部回路領域 10 との距離が、第 2 電極 4 と内部回路領域 10 との距離より大きくなる範囲で、保護抵抗 2 の長手方向が、ガードリング領域 30 の一辺に対して任意の角度で設けられても構わない。

【0038】

ここでは、第 1 電極 3 の 2 辺からガードリング領域 30 までの距離を略等しくしたが、第 1 電極 3 の 2 辺から保護抵抗 2 を形成するウエル領域の周辺部までの距離も略等しくすることが好ましい。また、ウエル領域の周辺部からガードリング領域 30 までの距離も略等しくすることが好ましい。

かかる構造により、放電の偏りが無くなり、放電耐圧が高くなるからである。

【0039】

実施の形態3.

図3は、全体が300で表される、本実施の形態3にかかる半導体装置の部分断面図である。また、図4は、同じく半導体装置300の部分レイアウト図である。図4中、図1と同一符号は、同一又は相当箇所を示す。

【0040】

半導体装置300では、上述の半導体装置100と同様に、保護抵抗2がシリコン基板1に形成され、保護抵抗2の第2電極4が、メタル配線層7を介して内部回路領域10に接続されている。一方、入力パッド6は、保護抵抗2の上部に設けられ、メタル配線層（図示せず）を介して第1電極3に接続されている。入力パッド6と内部回路領域10との距離は、実施の形態1、2と同様にL1となる。

図3に示すように、入力パッド6と保護抵抗2との間は、シリコン酸化膜で絶縁されている。

なお、図4では、レイアウトを理解しやすいように、実際は入力パッド6に隠れる保護抵抗2も併せて記載した。

【0041】

このように、本実施の形態3にかかるレイアウトでは、入力パッド6を保護抵抗2の上方に設けることにより、第1電極3と内部回路領域10との間の距離を十分に確保しながら、半導体装置300の高集積化、小型化が可能となる。

特に、入力パッド6と保護抵抗2とを重ねて形成することにより、更に高集積化、小型化が可能となる。

【0042】

実施の形態4.

図5は、全体が400で表される、本実施の形態4にかかる半導体装置の部分断面図である。また、図6は、同じく半導体装置400の部分レイアウト図である。図6中、図1と同一符号は、同一又は相当箇所を示す。図6では、レイアウトを理解しやすいように、実際は入力パッド6に隠れる保護抵抗2も併せて記載した。

【0043】

半導体装置400では、保護抵抗2が長く（第1電極3と第2電極4との距離が大きい）入力パッド6から左右に飛び出している以外は、半導体装置300と同じ構造を有する。例えば、保護抵抗2の抵抗値を大きくする場合にかかる構造が用いられる。

【0044】

本実施の形態4にかかるレイアウトでも、第1電極3と内部回路領域10との間の距離を十分に確保しながら、半導体装置400の高集積化、小型化が可能となる。

【0045】

実施の形態5.

図7は、全体が500で表される、本実施の形態5にかかる半導体装置の部分レイアウト図である。図7中、図1と同一符号は、同一又は相当箇所を示す。図7でも、レイアウトを理解しやすいように、実際は入力パッド6に隠れる保護抵抗2も併せて記載した。

【0046】

上述の半導体装置400では、保護抵抗2の長手方向（第1電極3と第2電極4との配置方向）が、内部回路領域10の端部に対して略平行になっているのに対して、半導体装置500では、略垂直となっている。これ以外の構造は、半導体装置400と略同一である。

【0047】

このように、本実施の形態5にかかるレイアウトでも、入力パッド6を保護抵抗2の上方に設けることにより、第1電極3と内部回路領域10との間の距離を十分に確保しながら、半導体装置500の高集積化、小型化が可能となる。

【0048】

なお、実施の形態1～5では、入力パッド6を例に説明したが、これらのレイアウトは

、出力パッド等の他のパッドにも適用できる。

また、シリコン基板 1 の代りに G a A s 等の他の半導体基板を用いても構わない。更に、シリコン酸化膜に代えて、窒化シリコン膜や燐ガラス等の、他の絶縁材料を用いても構わない。

【 0 0 4 9 】

なお、実施の形態 1 ～ 5 の、保護回路を有する半導体装置の回路は、図 8 に示す半導体装置 1 0 0 0 の回路と同様である。

【図面の簡単な説明】

【 0 0 5 0 】

【図 1】 本発明の実施の形態 1 にかかる半導体装置の部分レイアウト図である。

【図 2】 本発明の実施の形態 2 にかかる半導体装置の部分レイアウト図である。

【図 3】 本発明の実施の形態 3 にかかる半導体装置の部分断面図である。

【図 4】 本発明の実施の形態 3 にかかる半導体装置の部分レイアウト図である。

【図 5】 本発明の実施の形態 4 にかかる半導体装置の部分断面図である。

【図 6】 本発明の実施の形態 4 にかかる半導体装置の部分レイアウト図である。

【図 7】 本発明の実施の形態 5 にかかる半導体装置の部分レイアウト図である。

【図 8】 保護回路を有する半導体装置の回路図である。

【図 9】 保護回路を有する半導体装置の部分断面図である。

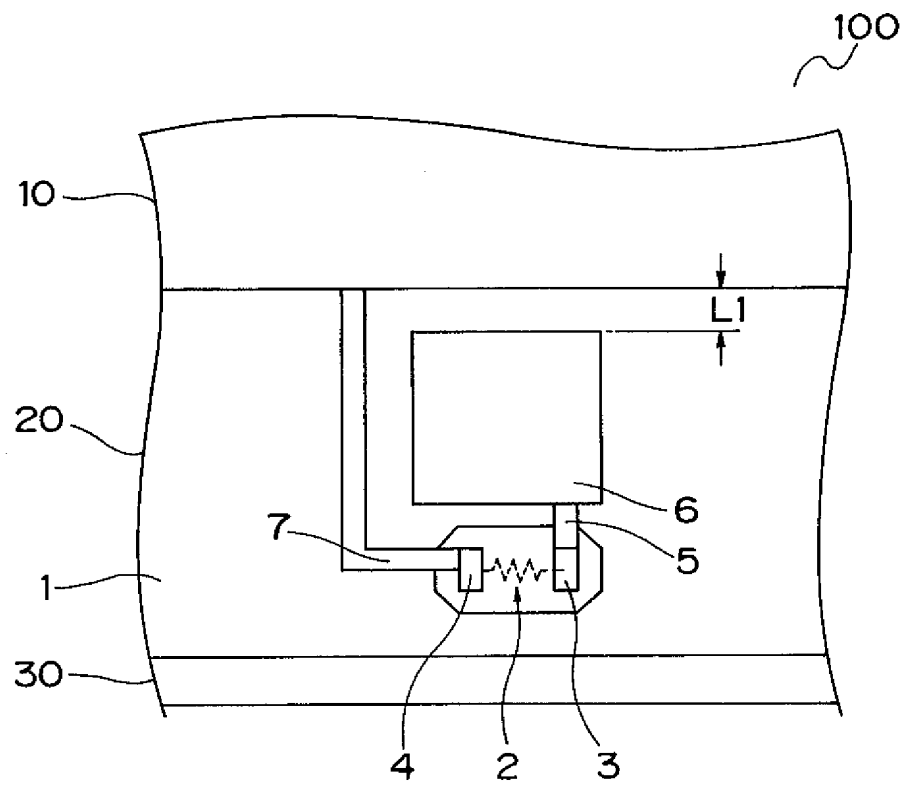
【図 1 0】 従来の半導体装置の部分レイアウト図である。

【図 1 1】 従来の半導体装置の部分レイアウト図である。

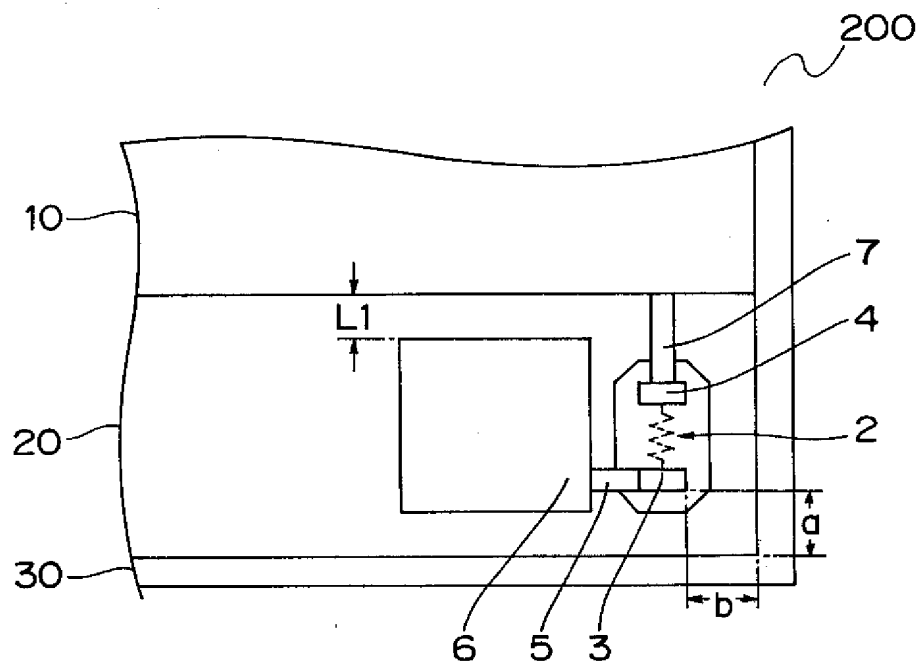
【符号の説明】

【 0 0 5 1 】

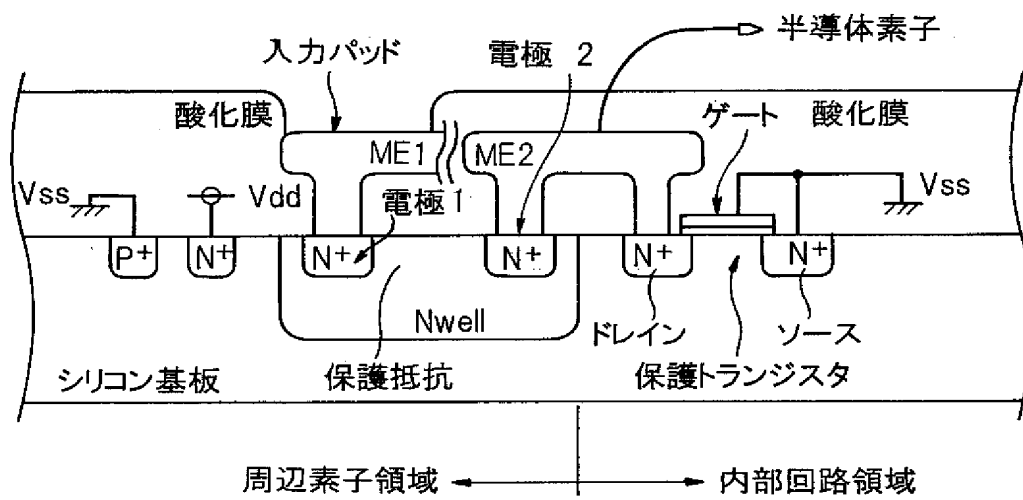
1...シリコン基板、2...保護抵抗、3...第 1 電極、4...第 2 電極、5...メタル配線層、6...入力パッド、7...メタル配線層、1 0...内部回路領域、2 0...周辺素子領域、3 0...ガードリング領域、1 0 0...半導体装置。



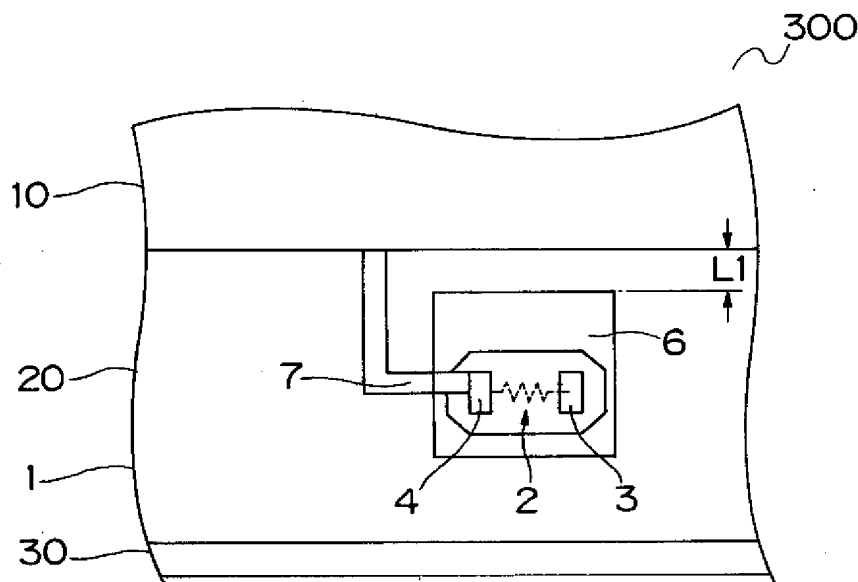
【図 2】



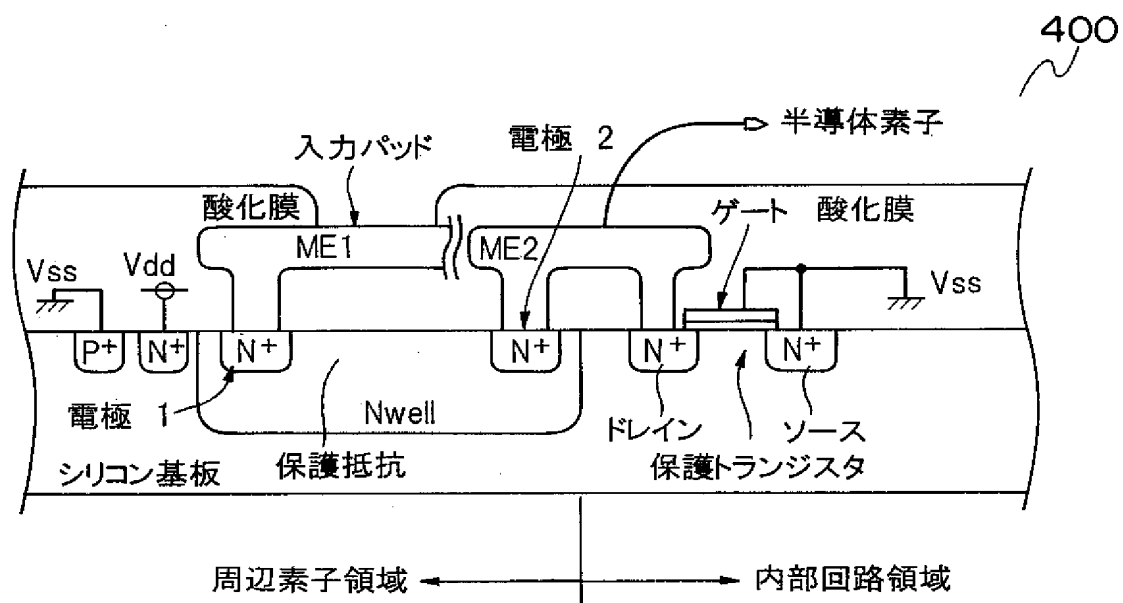
【図 3】



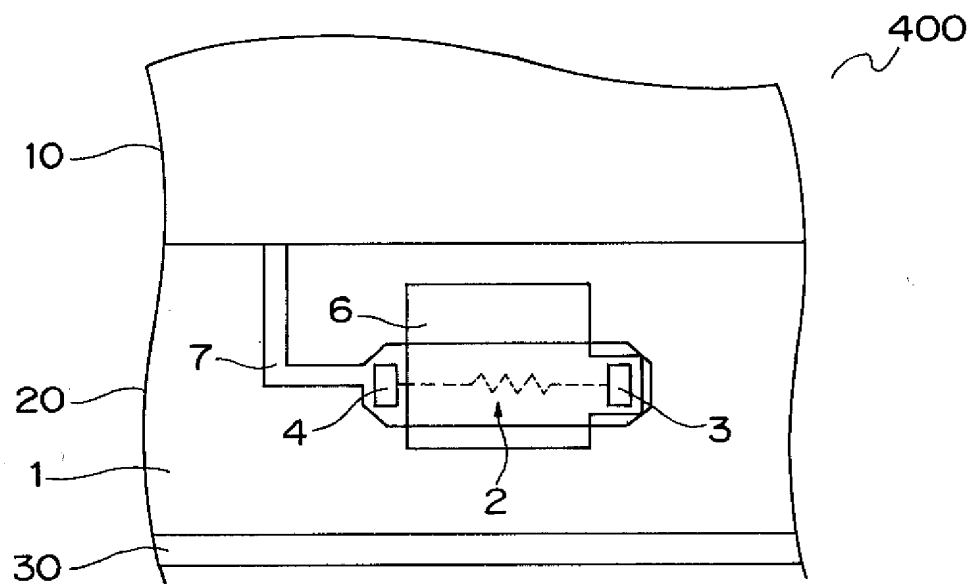
【図 4】



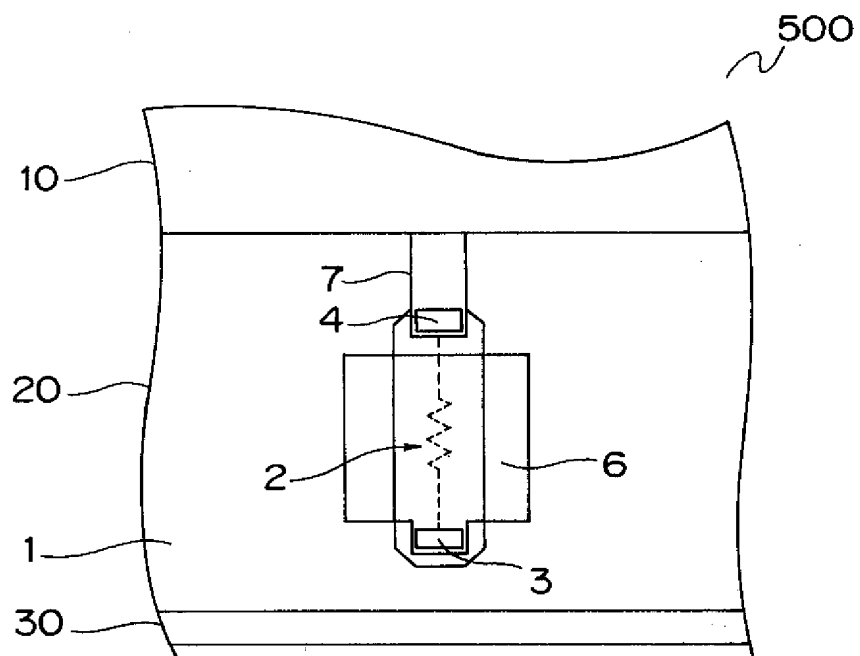
【図 5】



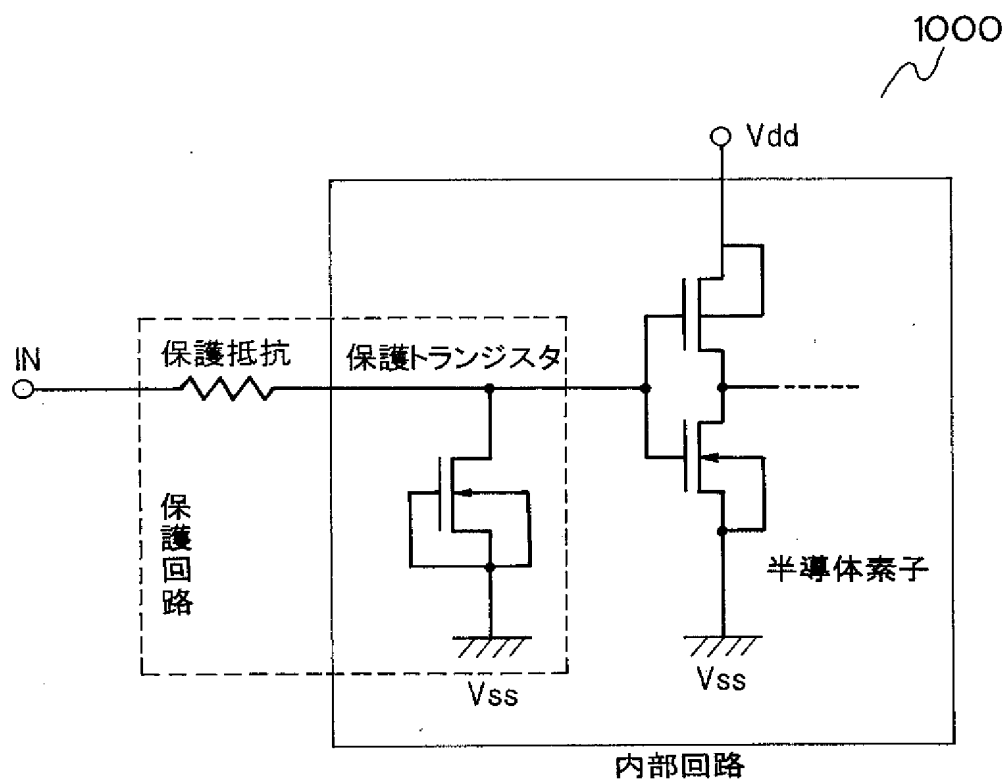
【図 6】



【图 7】



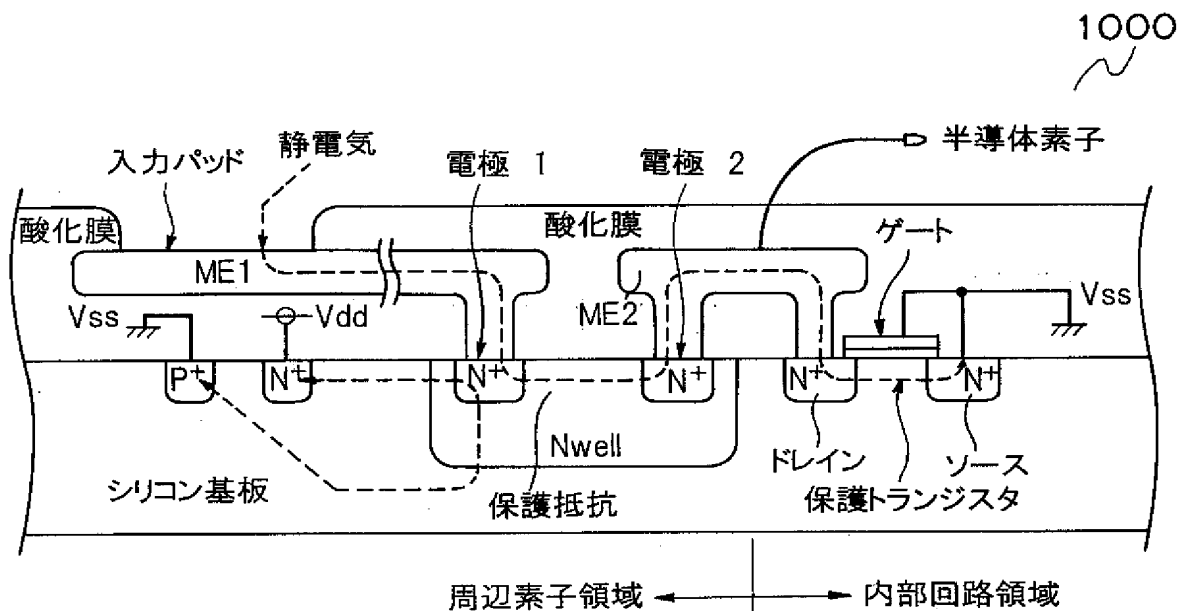
【图 8】



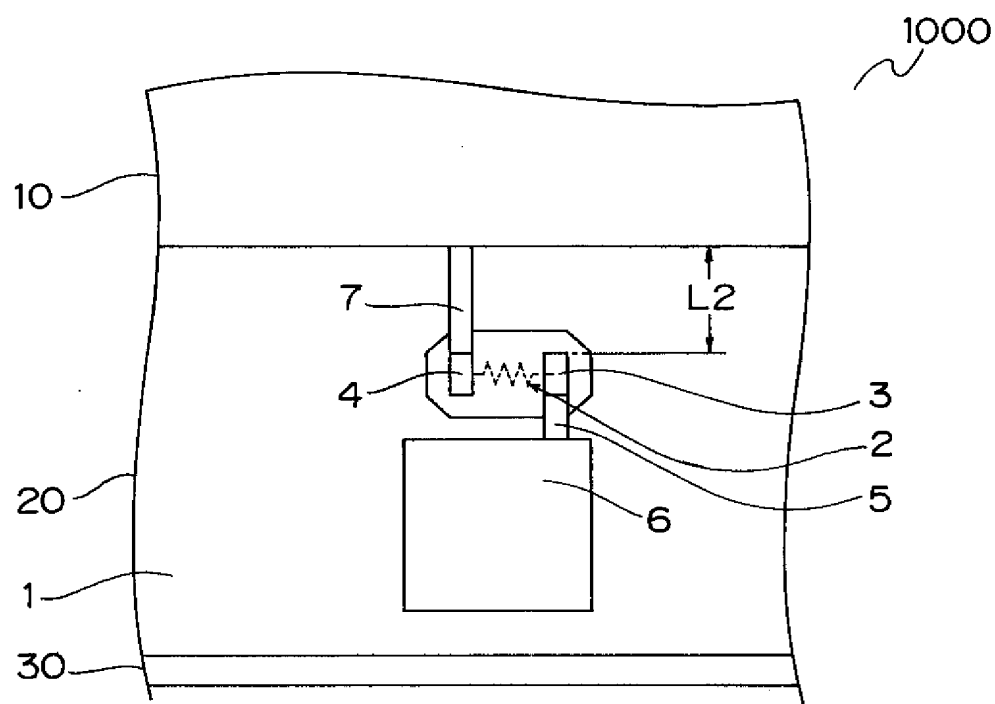
半導体素子

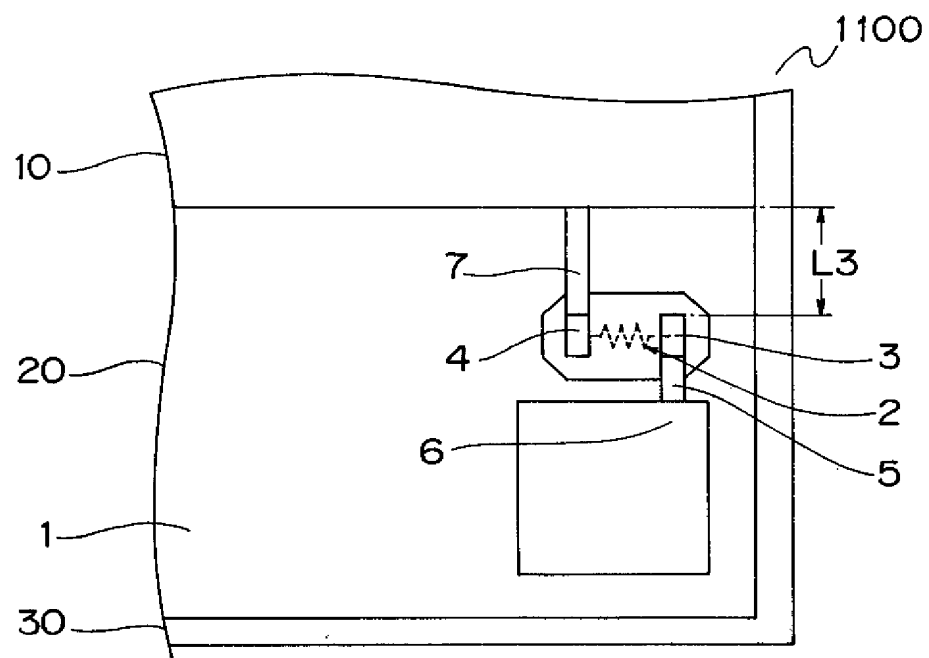
内部回路

【図 9】



【図 10】





【書類名】 要約書

【要約】

【課題】 保護回路を有する半導体装置において、保護抵抗の電極と他の半導体素子との間の放電を防止しつつ、小型化、高集積化を可能とする。

【解決手段】 パッド部、内部回路領域、及び保護抵抗が基板に設けられ、パッド部と保護抵抗の第１電極とが配線で接続され、かつ内部回路領域と保護抵抗の第２電極とが配線で接続され、保護抵抗が、内部回路領域を静電気放電から保護する半導体装置において、保護抵抗と内部回路領域との間に、パッド部が配置される。また、第１電極と内部回路との距離が、第２電極と内部回路との距離より大きい。

【選択図】 図１

出願人履歴

0 0 0 0 0 6 7 4 7

20020517

住所変更

東京都大田区中馬込1丁目3番6号

株式会社リコー